

Gardner 定时同步环路参数设计及性能分析

付永明¹, 朱江¹, 琚瑛珏^{1,2}

(1. 国防科学技术大学 电子科学与工程学院, 湖南 长沙 410073; 2. 解放军 61062 部队, 北京 100091)

摘要: 以数字锁相环理论为依据, 对 Gardner 定时误差检测器反馈定时环路参数的设计进行了深入研究, 基于 MATLAB 对一阶、二阶环路性能进行了仿真, 重点分析了环路阶数和等效噪声带宽对系统性能的影响, 得到了等效噪声带宽与定时同步环路性能的关系, 为定时同步环路的设计提供了理论依据。

关键词: 定时同步; Gardner 定时误差检测器; 数字锁相环; 环路参数; 同步性能

中图分类号: TN911

文献标识码: A

文章编号: 1000-436X(2012)06-0191-08

Parameters design and performance analysis of the timing recovery loop based on Gardner timing detector

FU Yong-ming¹, ZHU Jiang¹, JU Ying-jue^{1,2}

(1. School of Electronic Science and Engineering, National University of Defense Technology, Changsha 410073, China;

2. PLA 61062 Troops, Beijing 100091, China)

Abstract: In-depth research was carried out into parameters design in the feedback timing recovery loop based on Gardner timing error detector, according to the theory of digital phase-lock loop. MATLAB based simulation was performed for both first-order and second-order loop. Comprehensive analysis of the influence from loop order and noise-equivalent bandwidth on synchronization performance indicates the relationship between synchronization performance and noise-equivalent bandwidth, which provides a theoretic reference for timing recovery loop design.

Key words: timing synchronization; Gardner timing error detector; digital phase-lock loop; loop parameter; synchronization performance

1 引言

定时同步环路作为全数字接收机中最重要的组成部分, 对整机系统性能有着重要的影响。定时同步环路的结构一般分为 2 类: 前馈结构和反馈结构。前馈结构和反馈结构中的定时误差检测器又有数据辅助和非数据辅助之分^[1,2]。其中, 基于反馈结构的 Gardner 定时同步环路由于不需要辅助数据, 每个符号只需要 2 个采样, 而且独立于载波相位, 实现复杂度较低等原因, 在实际中普遍使用^[3~5]。然而, 由于反馈定时环路性能分析较为复杂^[6], 目前多数相关文献给出的设计及仿真结果都

是在给定的环路参数及结构下得到的, 而这些参数选取常常缺乏系统的理论支持, 通常是在仿真及实际应用过程中通过试探不同的取值组合得到的, 至于这些结构和取值是否可以进一步优化并不得而知^[1,2,7~11]; 而且诸多文献在对 Gardner 定时环路性能进行考察时多是以一阶环路为基础的, 对二阶环路没有足够的分析及重视^[1,2,10,11]; 另外, 文献给出的仿真结果都只是验证了环路设计在特定参数选取和应用场景下的有效性, 而对环路整体的捕获及跟踪性能没有进一步的分析及论述^[7~11]。本文即着眼于解决上述问题, 利用数字锁相环理论对基于 Gardner 非数据辅助定时误差检测器的反馈定时环

路进行了较为详尽的理论分析，给出了定时同步环路参数的详细设计及其依据，对 MATLAB 仿真结果的分析及归纳为在实际应用中进行定时环路的设计提供了参考依据。

2 系统模型

本文采用如图 1 所示的系统模型^[10] (这里只关注定时环路部分，其他部分认为是理想的)。假设接收信号的等效低通形式如下^[12]：

$$r(t) = \sum_i c_i \cdot g_T(t - iT - \tau) + w(t) \quad (1)$$

其中， $\{c_i\}$ 为发送符号序列，对于 MPSK，有 $c_i = e^{j\alpha}$ ， $\alpha = 0, 2\pi/M, \dots, 2\pi(M-1)/M$ ，对于 MQAM，有 $c_i = a + jb$ ， $a, b = \pm 1, \pm 3, \dots, \pm(M-1)$ ； τ 为路径延时，也即需要同步的参量，这里设 $\tau \in [-T/2, T/2]$ ； $g_T(t)$ 为发送端成型滤波器，这里选根升余弦滤波器； $w(t)$ 为复高斯过程。

经过匹配滤波器后，

$$y(t) = \sum_i c_i \cdot h(t - iT - \tau) + n(t) \quad (2)$$

其中， $h(t) = g_T(t) * g_R(t)$ 为升余弦滤波器； $n(t) = w(t) * g_R(t)$ 为窄带高斯过程。 T_s 为本地固定采样频率， T_s/T 可能不为整数（即在接收端对发送端的符号速率是不确知的）。

2.1 定时误差检测器

根据文献[3]，Gardner 定时误差检测器可用式(3)表示：

$$\begin{aligned} Err(k) &= \text{Re} \left\{ y^*(t_{k-1/2}) \times [y(t_{k-1}) - y(t_k)] \right\} \\ &= \text{Re} \left\{ y^*(kT - T/2 + \hat{\tau}_{k-1}) \cdot \right. \\ &\quad \left. \{ y[(k-1)T + \hat{\tau}_{k-1}] - y[kT + \hat{\tau}_k] \} \right\} \quad (3) \end{aligned}$$

一个定时误差检测器的特性由其 S 曲线来表征^[6]。 S 曲线是相位误差的函数(这里为定时相差)，定义为

$$S(\delta) = E \left\{ Err(k) \Big|_{\hat{\tau}_k = \tau_{k-1} = \delta} \right\}, \delta = \tau - \hat{\tau} \quad (4)$$

由文献[1]，令 $\varepsilon = \delta/T$ ，则有：

$$S(\varepsilon) = \frac{C_2 \sin\left(\frac{\pi\alpha}{2}\right)}{\pi\left(1 - \frac{\alpha^2}{4}\right)} \sin(2\pi\varepsilon) \quad (5)$$

对于一个定时误差检测器，首先需要确定其误差检测灵敏度 k_d ，因为 k_d 作为环路增益的一部分，是后续环路参数计算的先决条件。 k_d 一般取误差检测器的 S 曲线在零定时误差附近的斜率^[6]，即有：

$$k_d = \left. \frac{dS(\varepsilon)}{d\varepsilon} \right|_{\varepsilon=0} = \frac{2C_2}{1 - \frac{\alpha^2}{4}} \sin\left(\frac{\alpha\pi}{2}\right) \quad (6)$$

其中，

$$\begin{aligned} C_2 &= E \{ c_k c_k^* \} = E \{ |c_k|^2 \} \\ &= \begin{cases} \frac{2(M^2 - 1)}{3}, & \text{MQAM} \\ 1, & \text{MPSK} \end{cases} \quad (7) \end{aligned}$$

由以上关系可以看出，Gardner 定时误差检测器具有正弦形状的 S 曲线（亦可由下图仿真实例验证），且对不同的调制方式，检测灵敏度 k_d 是不同的。对于 MPSK，不论 M 取什么值， k_d 是一样的，而对于 MQAM， k_d 取值与 M 有关。另外 k_d 取值与成型脉冲的滚降系数 α 是有关系的，随着 α 的减小， k_d 会越来越减小，直到不能够对定时误差进行

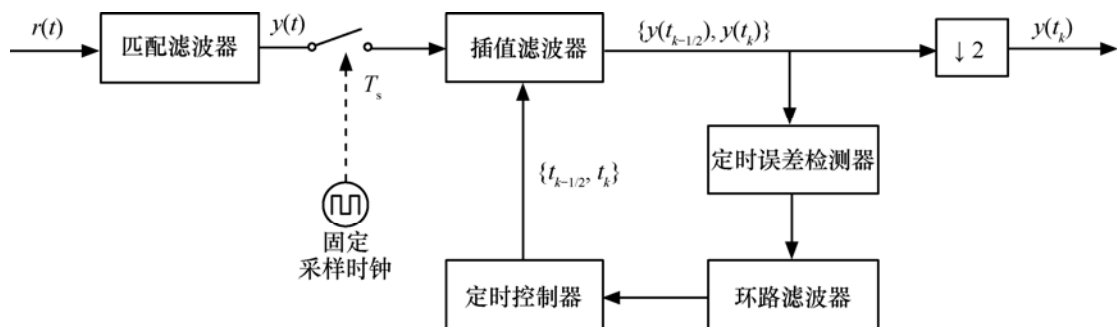


图 1 反馈定时环路系统模型

有效的检测, 也即, Gardner 误差检测器不适合在滚降系数取值较小的情况下应用。

图 2 为使用数据长度为 10 000 个符号的 8PSK 信号在 $\alpha=0.5$, $SNR=30\text{dB}$ 情况下对 S 曲线的数值仿真, 仿真结果与之前的理论推导吻合很好。

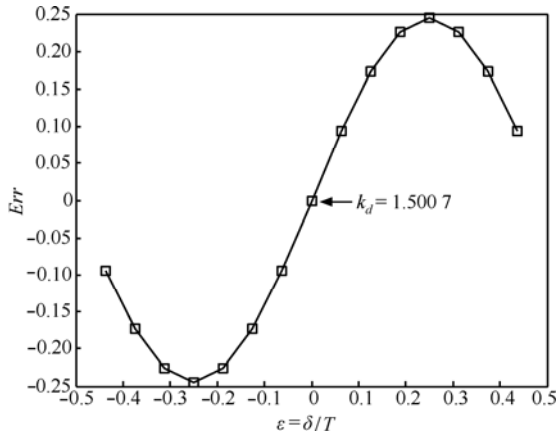


图 2 8-PSK S-曲线 ($\alpha=0.5$, $SNR=30\text{dB}$)

2.2 环路滤波器设计

环路滤波器采用锁相环中常用的比例积分结构^[6], 其结构框如图 3 所示。

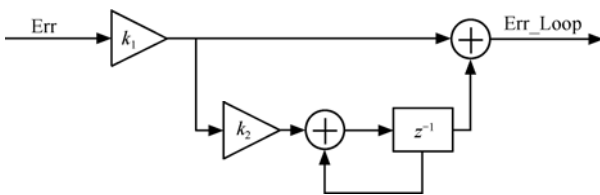


图 3 环路滤波器结构框

很容易得到其传递函数为

$$F(z) = k_1 \left(1 + k_2 \frac{z^{-1}}{1-z^{-1}} \right) = \frac{k_1 - k_1(1-k_2)z^{-1}}{1-z^{-1}} \quad (8)$$

若取 $k_2=0$, 即退化为一阶环路滤波器。

2.3 定时控制器实现

定时控制器使用 NCO 实现, 其模型如图 4 所示^[7,8]。

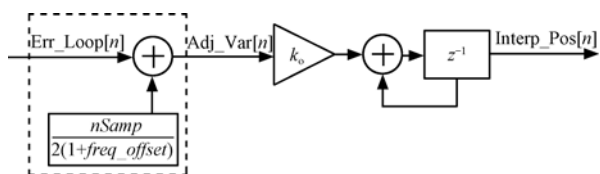


图 4 定时控制器结构框

传递函数为

$$N(z) = \frac{k_o z^{-1}}{1-z^{-1}} \quad (9)$$

其中, $k_o=1$, 推导由附录给出。

2.4 插值滤波器设计

为便于实现, 插值滤波器一般采用多项式插值方法^[5], 即:

$$\begin{aligned} y(kT_i) &= \sum_{i=-2}^1 C_i \cdot x(m_k - i) \\ &= C_{-2} \cdot x(m_k + 2) + C_{-1} \cdot x(m_k + 1) + \\ &\quad C_0 \cdot x(m_k) + C_1 \cdot x(m_k - 1) \end{aligned} \quad (10)$$

这里, 完成插值所需要的辅助信息, 都包含在定时控制器所提供的插值位置参数中, 其中, 取最接近 $Interp_Pos$ 的整数点为 m_k , 而系数 C_i 由 $Interp_Pos$ 与 m_k 的差 μ_k 决定, C_i 与 μ_k 的不同对应关系取决于不同的插值方法。本设计采用分段抛物线插值, C_i 与 μ_k 的对应关系式(11)给出:

$$\begin{cases} C_{-2} = -0.5\mu + 0.5\mu^2 \\ C_{-1} = 1.5\mu - 0.5\mu^2 \\ C_0 = -0.5\mu - 0.5\mu^2 + 1 \\ C_1 = -0.5\mu + 0.5\mu^2 \end{cases} \quad (11)$$

3 环路等效噪声带宽计算与环路参数设计

设计中所述的定时环路可等效于如图 5 所示的二阶二类数字锁相环路^[6], 其中, 鉴相器相当于此例中的定时误差检测器, 环路滤波器和 NCO 都同本例, 插值滤波器对环路的行为没有影响。

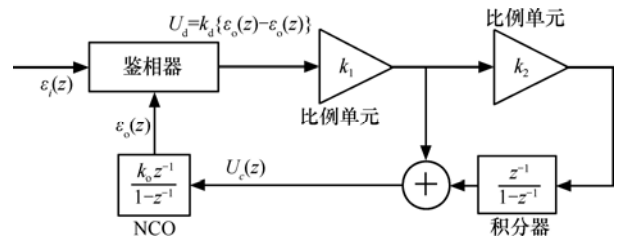


图 5 等效二阶 DPLL 结构框

容易得到上述二阶二类 DPLL 的传递函数为

$$H(z) = \frac{kz^{-1}(1-z^{-1}+k_2z^{-1})}{(1-z^{-1})^2+kz^{-1}(1-z^{-1}+k_2z^{-1})}; \quad k = k_d k_o k_1 \quad (12)$$

由环路等效噪声带宽的定义^[6] (离散域):

$$2B_L T_s = \frac{1}{2\pi j} \int_{|z|=1} H(z)H(1/z) \frac{dz}{z} = \frac{1}{2\pi} \int_{-\pi}^{\pi} H(e^{j\omega T_s})H(e^{-j\omega T_s}) d\omega T_s \quad (13)$$

可得到上述环路的等效噪声带宽 (Hz):

$$B_L = \frac{k}{4T_s} \frac{1 + \frac{k_2}{k} - \frac{k_2}{2}(3 - k_2)}{1 - k_2 - \frac{k}{4}(2 - k_2 + k_2^2)} \quad (14)$$

当 $k_2 < k_1 \ll 1$ 时, 有近似公式:

$$B_L = \frac{k \left(1 + \frac{k_2}{k}\right)}{4T_s} \quad (15)$$

在这种情况下有, $\omega_n \leftrightarrow \frac{1}{T_s} \sqrt{kk_2}$, $\zeta \leftrightarrow \frac{1}{2} \sqrt{\frac{k}{k_2}}$

(ω_n, ζ 分别为模拟锁相环中的自然频率和阻尼系数)。

由模拟锁相环的知识^[13]: 为了得到最好的跟踪性能, 最佳的 $\zeta_{opt} = 0.707$, 而从抑制输入加性高斯白噪声的角度来说, 选择 $\zeta = 0.5$ 时, 抗噪声性能最佳。但即使取 $\zeta = 0.707$, 环路抗噪声性能也与取 $\zeta = 0.5$ 时相差很小, 对 2 种取值情况下整个定时环路进行的抗误码性能仿真显示, 前者甚至略微优于后者。所以, 通常取 $\zeta = 0.707$ 来设计环路参数。 $\zeta = 0.707$, 即对应于此设计中取 $k_2 = k/2$, 这时有 $B_L T_s = \frac{k}{4} \left(1 + \frac{k_2}{k}\right) = \frac{3}{8} k$, 或 $k = \frac{8}{3} (B_L T_s)$, 从而可得到:

$$k_2 = \frac{k}{2} = \frac{4}{3} (B_L T_s) \quad (16)$$

又 $k = k_d k_o k_1$, 由前分析知 $k_o = 1$, 从而有

$$k_1 = \frac{k}{k_d} = \frac{8}{3k_d} (B_L T_s) \quad (17)$$

另外, 当 $k_2 = 0$ 时, 即一阶环情况下, 有

$$B_L = \frac{k}{4T_s} \frac{1}{1 - \frac{k}{2}}, \quad \text{即 } k = k_d k_o k_1 = 4(B_L T_s), \quad \text{所以有}$$

$$k_1 = \frac{4}{k_d} (B_L T_s) \quad (18)$$

4 仿真分析

4.1 定时相差同步 (相位阶跃)

这里假设本地符号时钟输出频率是准确的, 只是输出相位有一个偏差 (这里取情况比较糟糕的定时位置误差为 40% 的情况), 其他参数为: $BT = 0.01$, $SNR = 30\text{dB}$, 过采样率 $nSamp = 16$, 滚降系统 $\alpha = 0.5$, 本文来比较一二阶环路不同的定时表现 (如图 6 和图 7 所示)。

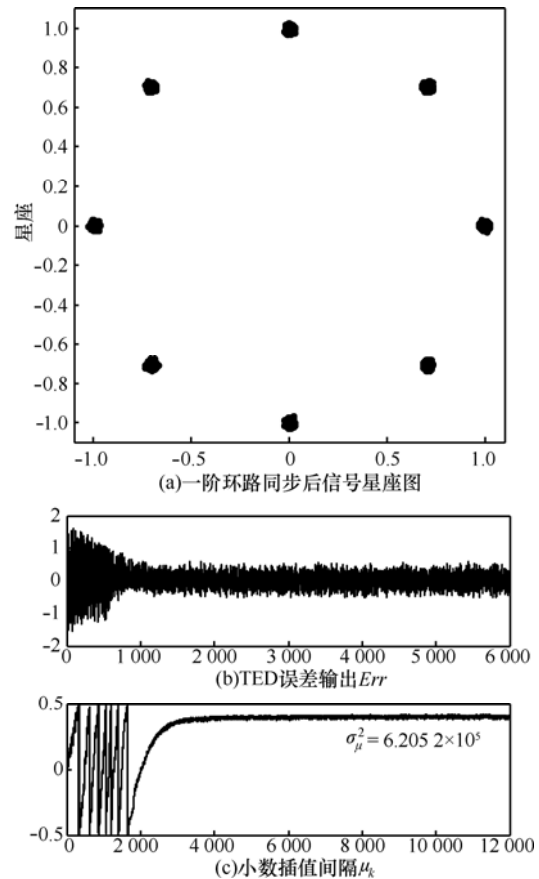


图 6 一阶环路同步后星座图及历程曲线

由星座图可以看出, 对于仅存在定时偏差的情况, 即使是比较糟糕的情况, 一阶、二阶环路都可以给出很好的同步效果, 且二者差别不大; 观察同步过程曲线可以看到, 对于定时偏移, 定时环路的稳态定时误差均值都为收敛 0, 且这与偏移的大小

无关, 这与锁相环相关理论是一致的, 即环路将最终完成跟踪并消除任何输入相位的变化, 对于任何一个输入相位的阶跃变化, PLL 的稳态相位误差都为 0 (与环路阶数无关)。

对比一二阶环路同步过程曲线, 还可以看到一个显著的不同, 即一阶环路可以更快地完成捕获 (捕获时间与初始定时偏差大小有关), 进入同步状态 (分别经过约 1 000 个符号和 3 000 个符号进入同步状态)。所以, 无论从实现复杂性还是性能上来讲, 对于接收端准确的符号速率已知的话, 只需要使用一阶环路就可以很好地完成同步任务。

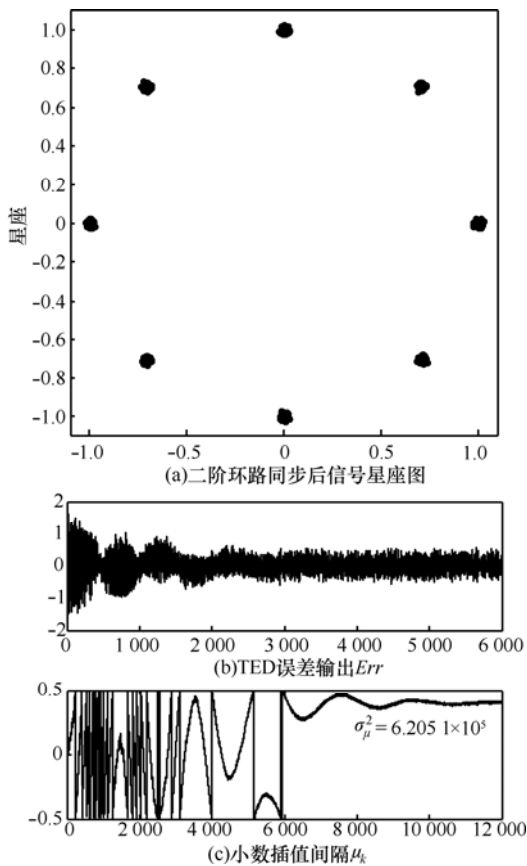


图 7 二阶环路同步后星座图及历程曲线

4.2 定时频差同步 (频率阶跃)

这里考虑本地定时时钟与实际符号速率有偏差的情况, 设初始定时偏差为零, 其余参数取值都与上面相同。图 8~图 11 给出了仿真结果。

由图 8 和图 9 可知, 对于 0.1% 的频偏, 一阶环路尚可完成定时同步, 与相位阶跃相比, 只是稳态定时误差均值非零, 然而当定时频偏增加至 0.2% 时, 一阶环路就不能完成跟踪, 这时二阶环路的优势即

有所体现; 另外, 对于即使一阶环路能够捕获, 但稳态误差大到不可接受的情况下, 也可以选择使用二阶环路来替代。如图 10 所示, 对于之前一阶环路不能够捕获 0.2% 的定时频偏, 二阶环路可以得到很好的同步效果, 并且稳态定时误差均值为 0; 如图 11 所示, 即使定时频偏增加到 1%, 二阶环路同步

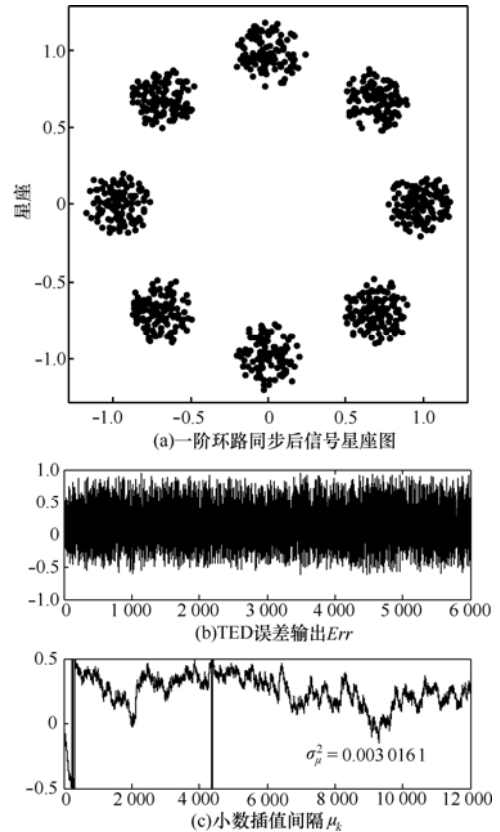


图 8 一阶环路同步后星座图及历程曲线 ($\Delta f=0.001/T$)

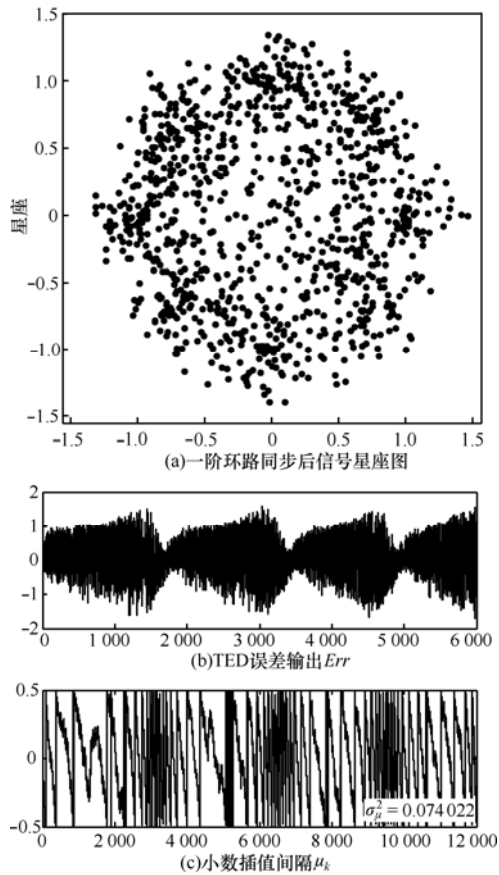


图 9 一阶环路同步后星座图及历程曲线 ($\Delta f=0.002/T$)

图 10 二阶环路同步后星座图及历程曲线 ($\Delta f=0.002/T$)

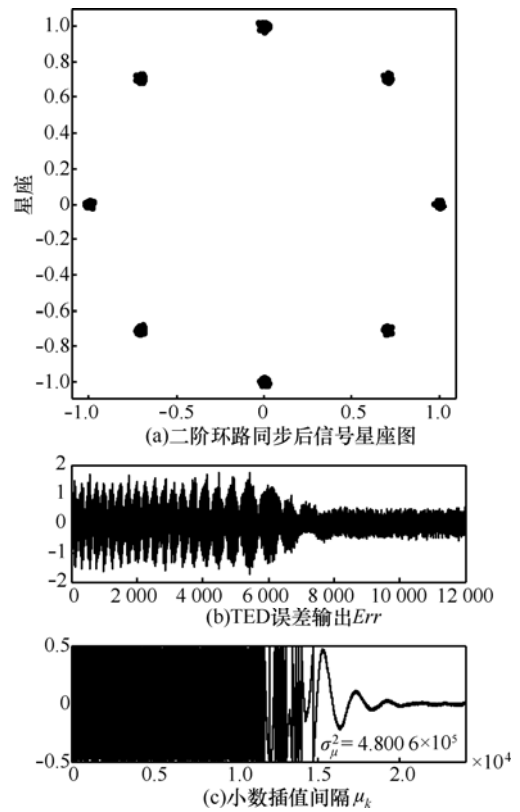
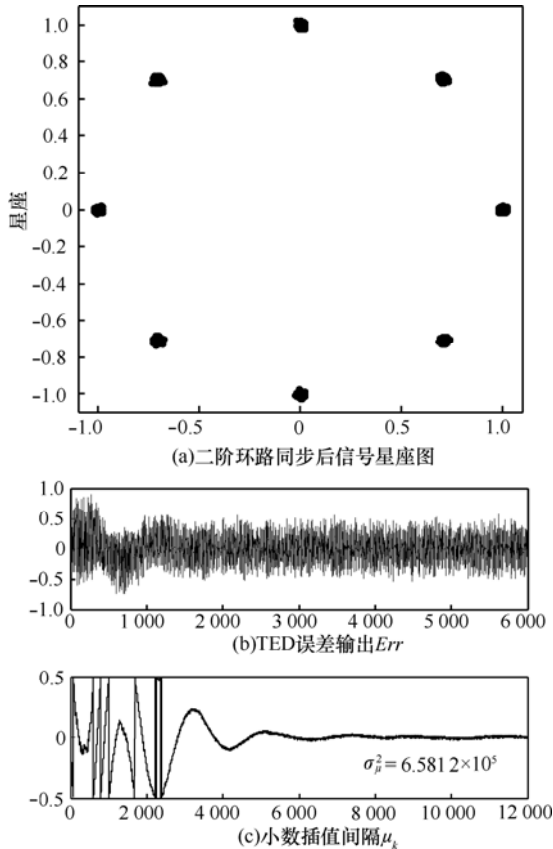


图 11 二阶环路同步后星座图及历程曲线 ($\Delta f=0.01/T$)



后效果还是非常好，但由同步过程曲线可以看出，对于较大定时频偏，二阶环路捕获时间大大增长了（图中大约经过 10 000 个符号，而前一种情况只需要 2 000 个符号）。由锁相环理论，二阶环路可以将任意大的频偏拉入锁定，但由于捕获时间与频偏正相关，当频偏与环路带宽相比很大时，捕获过程将变得非常慢以至于不可接受，而且很容易受噪声干扰。

对比一二阶环路的情况，有两点直观认识：对于较小的频偏，2 种环路都可以完成同步，其中一阶环路可以更快地完成捕获（图中基本没有明显的瞬态过程），而二阶环路稳态定时方差更小（仿真显示大概相差 1~2 个数量级），也即跟踪性能更好，星座图更加收敛；对于较大的频偏，一阶环路就无能为力了，只能使用二阶环路来完成定时。

4.3 等效噪声带宽的影响

由数字锁相环理论，环路等效噪声带宽的取值对系统性能有很大影响，这里将 BT 增加为 0.02 对前述的 2 种情形重新进行考察（图 12 和图 13 给出

仿真结果)。

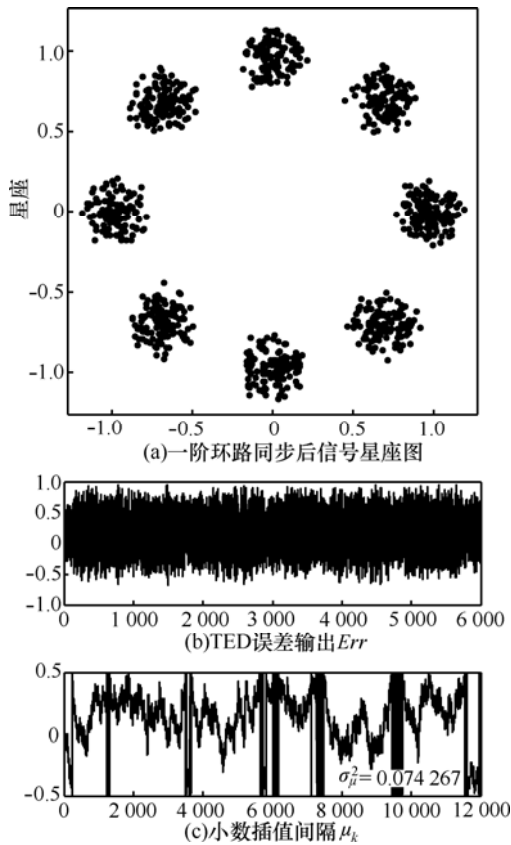


图 12 一阶环路同步后星座图及历程曲线 ($\Delta f = 0.002/T$)

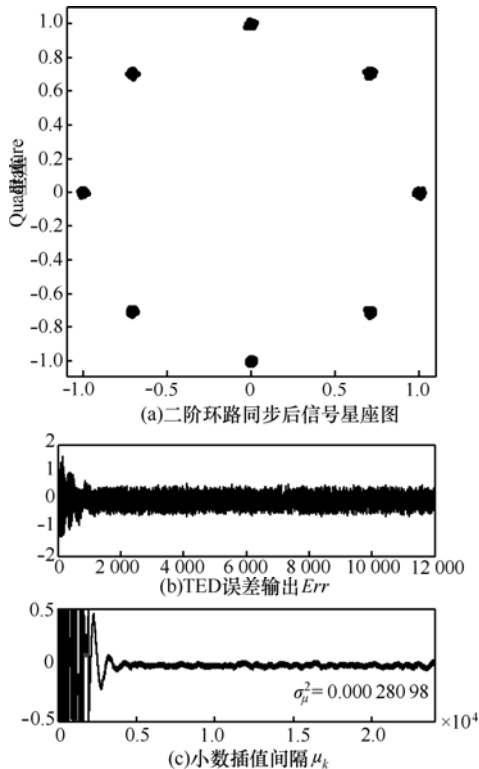


图 13 二阶环路同步后星座图及历程曲线 ($\Delta f = 0.01/T$)

由图 12 可以看到, 对于在 $BT=0.01$ 的情况下, 一阶环路不能够捕获 0.2% 的频偏, 当 BT 增大为 0.02 时, 环路重新进入锁定, 也即增加环路等效噪声带宽扩大了一阶环路的捕获带宽 (Δf_p)。进一步的测试数据可以验证如下关系:

$$\Delta f_p T_s = k_m \cdot B_L T_s; k_m \approx 0.15 \quad (19)$$

对于二阶环路的情况, 对比图 13 和图 11, 可以看到, 增大等效噪声带宽后, 同步建立时间 (T_{acq}) 大大缩短了, 结合 4.2 节进一步测试可以验证如下关系:

$$\frac{T_{acq}}{T_s} \propto \frac{\Delta f}{B_L T_s} \quad (20)$$

由上可见, 增大环路等效噪声带宽 BT 无论对增大一阶环路的捕获带宽还是减小二阶环路的捕获时间都是有利的。但由图也可以看出, 增大 BT 使得同步曲线在稳态的波动更加明显, 使得环路的跟踪性能下降。

图 14 给出了 BT 与同步曲线稳态方差之间的关系, 而小数插值间隔估值的稳态方差直接影响系统的抗误码性能。由此, 在设定同步环路的等效噪声带宽时要折中考虑捕获时间与估值方差对系统性能的影响。对于一阶环路的捕获带宽与估值方差之间也存在同样的折中问题。

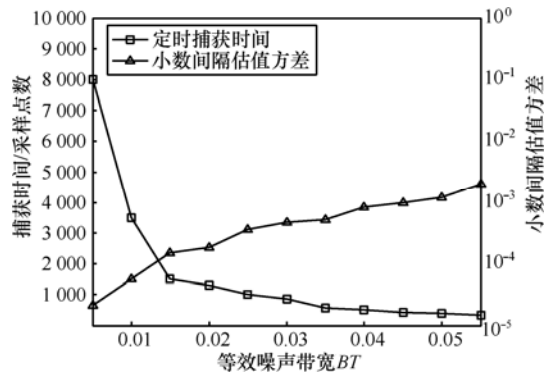


图 14 等效噪声带宽对性能的影响 2

5 结束语

本文利用数字锁相环的理论对基于 Gardner 定时误差检测器的反馈定时环路进行了分析与研究。首先通过对等效参数的计算, 将定时同步环路等效为一个典型的锁相环路, 然后以数字锁相环理论为依据对环路参数取值进行了分析, 得到了参数的计算方法, 然后使用 MATLAB 对环路设计进行了性

能仿真。仿真分析指出，对于接收端准确的符号速率已知或接收端虽有定时频偏，但远小于噪声带宽，且信噪比较高的情况，只需要使用一阶环路就可以很好地完成同步任务；如果接收端存在较大的定时频偏，则必须使用二阶环路才能够有不错的同步效果，同时，在设计二阶环路的噪声带宽时要折中考虑对捕获时间与稳态估值方差的影响。文中的分析方法对一般的反馈定时环路以及调制方式为 MQAM 的情况都是适用的，对设计环路时进行结构及参数优化有指导意义。

附录 定时控制器增益 $k_0=1$ 的推导^[5,13]

由所述情形及 PLL 知识，NCO 输出时钟瞬时相位即插值位置为 $\hat{\theta}(n) = n \frac{1}{(1 + freq_offset) \cdot \frac{2}{T}} + \sum Err_Loop(n)$ ，可得到 NCO 输出以 NCO 固有频率 $(1 + freq_offset) \frac{2}{T}$ 为参考的瞬时相位为 $\theta_2(n) = \sum Err_Loop(n)$ ，即 $\theta_2(z) = \frac{z^{-1}}{1 - z^{-1}} Err_Loop(z)$ ，NCO 传递函数为 $\frac{z^{-1}}{1 - z^{-1}}$ ，即有 $k_0=1$ 。

参考文献：

[1] MENGALI U, ANDREA A N D. Synchronization Techniques for Digital Receivers[M]. New York: Plenum,1997.

[2] MEYR H, MOENECLAEY M, FECHTEL S A. Digital Communication Receivers[M]. New York: Wiley, 1998.

[3] GARDNER F M. A BPSK/QPSK timing-error detector for sampled receivers[J]. IEEE Trans Commun, 1986,34: 423-429.

[4] GARDNER F M. Interpolation in digital modems-part I: fundamentals[J]. IEEE Trans Commun, 1993,41(3):501-507.

[5] ERUP L, GARDNER F M, HARRIS R A. Interpolation in digital modems-part II: implementation and performance[J]. IEEE Trans Commun, 1993,41:998-1008.

[6] GARDNER F M. Phaselock Techniques. (Third Edition)[M]. Hoboken, New Jersey: John Wiley & Sons, Inc. 2005.

[7] SCIAGURA E, ZICARI P, PERRI S. An efficient and optimized FPGA feedback M-PSK symbol timing recovery architecture based on the Gardner timing error detector[A]. IEEE 10th Euromicro Conference on Digital System Design Architectures, Methods and Tools[C]. 2007. 102-108.

[8] ZHANG J, WU N, KUANG J. High speed all digital symbol timing recovery based on FPGA[A]. IEEE 2005 International Conference on

Wireless Communications, Networks and Mobile Computing Proceedings[C]. 2005.1402-1405.

[9] 晏蕾, 余荣, 梅顺良等. 全数字接收机中定时同步算法和实现[J]. 电子技术应用, 2005, (12):45-47.

YAN L, YU R, MEI S L, *et al.* Timing algorithms and its realization in all digital receivers[J]. Application of Electronic Technique, 2005(12): 45-47

[10] LIM D. A modified Gardner detector for symbol timing recovery of M-PSK signals[J]. IEEE Trans Commun, 2004,52(10):1643-1647.

[11] LENG W M, ZHANG Y, YANG Z X. A modified Gardner detector for multilevel PAM/QAM system[A].IEEE Proc of International Conference on Communications, Circuits and Systems 2008[C]. 2008. 891-895.

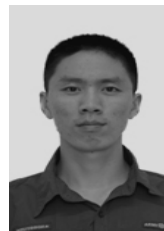
[12] PROAKIS J.G. 数字通信(第五版)[M]. 北京: 电子工业出版社, 2009.

PROAKIS J.G. Digital Communications (Fifth Edition)[M]. Beijing: Publishing House of Electronics Industry, 2009.

[13] 季仲梅, 杨洪生, 王大鸣等编著. 通信中的同步技术及应用[M]. 北京: 清华大学出版社, 2008.02

JI Z M, YANG H S, WANG D M, *et al.* Synchronous Technologies and Its Applications in Communications[M]. Beijing: Tsinghua University Press, 2008.02

作者简介：



付永明（1987-），男，山西晋城人，国防科学技术大学研究生，主要研究方向为无线通信。



朱江（1973-），男，陕西咸阳人，博士，国防科学技术大学教授、博士生导师，主要研究方向为卫星通信、地面移动通信等。



琚瑛珺（1985-），男，江西鹰潭人，国防科学技术大学研究生，主要研究方向为无线通信。